

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-217715

(43)Date of publication of application : 02.08.2002

(51)Int.Cl.

H03L 7/06

H03L 7/08

(21)Application number : 2001-375922

(71)Applicant : ZARLINK  
SEMICONDUCTOR  
INC

(22)Date of filing : 10.12.2001 (72)Inventor : SKIERSZKAN SIMON

(30)Priority

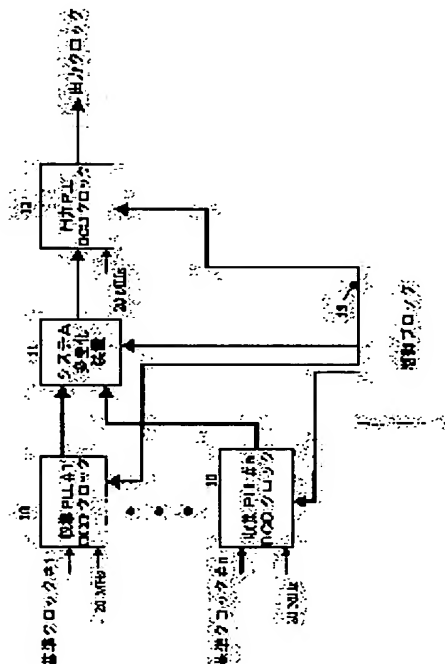
Priority	2000 200030101	Priority	09.12.2000	Priority	GB
number :		date :		country :	

## (54) MULTIPLE INPUT PHASE LOCKED LOOP WITH HITLESS REFERENCE SWITCHING

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a phase locked loop(PLL) with a reference switching mechanism that alleviates problems such as phase deviation with prior art.

SOLUTION: A clock recovery circuit for recovering clock signals from one of a plurality of input reference signals, includes an acquisition phase locked loop (PLL) for each input. The acquisition PLL has a phase comparator for comparing the phase of an input signal to a feedback signal, and first and second digital controlled oscillators(DCOs) receiving an input from the phase comparator. An output PLL has a phase comparator selectively connectable to the output of each of the acquisition PLLs. The output PLL has a first DCO providing an output for the circuit and a second DCO in a feedback loop providing a



feedback signal to the phase comparator of the output PLL. The second DCO of the output PLL has a control input to introduce a phase offset therein relative to the first DCO of the output PLL.

---

## LEGAL STATUS

[Date of request for examination] 10.12.2001

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision  
of rejection or application  
converted registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217715

(P2002-217715A)

(43) 公開日 平成14年8月2日(2002.8.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 3 L 7/06		H 0 3 L 7/06	B 5 J 1 0 6
7/08		7/08	G

審査請求 有 請求項の数23 O L (全 8 頁)

(21) 出願番号 特願2001-375922(P2001-375922)  
(22) 出願日 平成13年12月10日(2001.12.10)  
(31) 優先権主張番号 0 0 3 0 1 0 1 . 0  
(32) 優先日 平成12年12月9日(2000.12.9)  
(33) 優先権主張国 イギリス (G B)

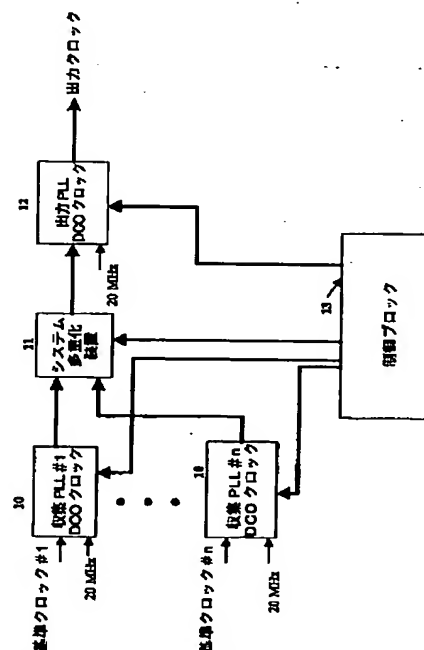
(71) 出願人 501376051  
ザーリンク・セミコンダクター・インコー  
ポレイテッド  
カナダ国、オンタリオ、カナタ、マーチ  
ロード 400  
(72) 発明者 サイモン スキエルズズカン  
カナダ国 オンタリオ、カナタ、ヒューイ  
ット ウェイ 32  
(74) 代理人 100066692  
弁理士 浅村 皓 (外3名)  
Fターム(参考) 5J106 AA05 CC01 CC21 CC41 CC52  
CC59 DD02 DD13 DD19 KK39

(54) 【発明の名称】 ヒットレス基準切替えを用いた多重入力位相同期ループ

(57) 【要約】

【課題】 位相偏差等の問題を緩和する基準切替え機構を有するPLLを提供する。

【解決手段】 複数の入力基準信号の1つからクロック信号を回復するクロック回復回路は各入力に対する収集PLLを有する。該収集PLLは入力信号の位相をフィードバック信号と比較する位相比較器及び該位相比較器から入力を受信する第1及び第2のDCOを有する。出力PLLは各収集PLLの出力と選択的に接続可能な位相比較器を有する。該出力PLLは回路に出力をもたらす第1のDCOとフィードバック・ループにあって出力PLLの位相比較器にフィードバック信号をもたらす第2のDCOを有する。該第2のDCOは第1のDCOに関して位相オフセットを導く制御入力を受有する。



## 【特許請求の範囲】

【請求項1】 複数の入力基準信号のうちの1つからクロック信号を回復するクロック回復回路であって、各入力に対する収集位同期ループ(PLL: phase locked loop)であって、各前記収集PLLは入力信号の位相をフィードバック信号と比較する位相比較器及び該位相比較器からの入力を受信する第1及び第2のデジタル制御式発振器(DCO: digital controlled oscillator)を有し、前記収集PLLの前記第1のDCOはフィードバック・ループにあって前記位相比較器に入力を供給し、かつ前記収集PLLの前記第2のDCOは前記収集PLLの前記第1のDCOに関して位相オフセットを導く制御入力を有すると共に、前記収集PLLに対して出力をもたらしてなる前記収集PLLと、

前記収集PLLの各々の出力に対して選択的に接続可能な位相比較器を有すると共に、前記回路に対して入力をもたらす第1のDCO及びフィードバック・ループにあって前記出力PLLの前記位相比較器に対してフィードバック信号をもたらす第2のDCOを有する出力PLLであって、該出力PLLの前記第2のDCOは前記出力PLLの前記第1のDCOに関して位相オフセットを導く制御入力を有してなる前記出力PLLと、一方の入力から別の入力への切換えの際に、前記収集回路の前記第2のDCO及び前記出力PLLの前記第2のDCOの位相を共通の値に設定して、基準信号の切替え時に瞬間的位相エラーを回避するようにした制御装置と、

を具備したことを特徴とする前記クロック回復回路。

【請求項2】 請求項1記載のクロック回復回路において、前記収集PLLの前記フィードバック・ループにあって低いジッタ出力を生成するタップ付き遅延線を更に具備したことを特徴とする前記クロック回復回路。

【請求項3】 請求項1または請求項2記載のクロック回復回路において、前記位相比較器はサイクル/スリップ・カウンタ及び該サイクル/スリップ・カウンタの出力をデシメイトするデシメイタを備えたことを特徴とする前記クロック回復回路。

【請求項4】 請求項1から請求項3の何れかに記載のクロック回復回路において、前記位相比較器の出力を積分する積分器/累算器を更に具備したことを特徴とする前記クロック回復回路。

【請求項5】 請求項4記載のクロック回復回路において、前記積分器/累算器の出力を前記位相比較器の出力に加算する第1の加算器を更に具備したことを特徴とする前記クロック回復回路。

【請求項6】 請求項5記載のクロック回復回路において、前記第1の加算器の出力に定数を加算するそれぞれの付加的加算器であって、前記収集PLLの前記第1及び第2のDCOのそれぞれの入力に接続されてなる前記

付加的加算器を更に具備したことを特徴とする前記クロック回復回路。

【請求項7】 請求項1から請求項6の何れかに記載のクロック回復回路において、前記DCOは発生された出力クロックのサイクルをカウントするエキストラビットを含んでいることを特徴とする前記クロック回復回路。

【請求項8】 請求項1から請求項7の何れかに記載のクロック回復回路において、前記出力PLLの前記位相比較器の出力を積分する積分器/累算器と、前記出力PLLの前記位相比較器の出力に前記積分器/累算器の出力を加算する第1の加算器とを更に具備したことを特徴とする前記クロック回復回路。

【請求項9】 請求項8記載のクロック回復回路において、前記第1の加算器の出力に定数を加算する付加的加算器であって、前記出力PLLの前記DCOの出力に接続されてなる前記付加的加算器を更に具備したことを特徴とする前記クロック回復回路。

【請求項10】 請求項1から請求項9の何れかに記載のクロック回復回路において、前記収集PLLの前記デジタル制御式発振器は加算型レート乗算器であり、そのうちの1つはオーバフロー条件、及び各出力信号のタイムエラーを表わす制御信号を発生する剰余項を達成したときに出力信号を発生してなることを特徴とする前記クロック回復回路。

【請求項11】 請求項1から請求項10の何れかに記載のクロック回復回路において、前記出力PLLの前記第1のDCOの前記出力はタップ付き遅延線に接続されてジッタを低減することを特徴とする前記クロック回復回路。

【請求項12】 複数の入力基準信号のうちの1つからクロック信号を回復する方法において、各入力に対して収集位同期ループ(PLL: phase locked loop)をもたらす段階と、各前記収集PLLは第1及び第2のデジタル制御式発振器(DCO: digital controlled oscillator)を含んでなる、

前記第1及び第2のDCOを用いて基準入力信号をトラッキングする段階と、前記第1のDCOは前記収集PLLのフィードバック・ループにあると共に、前記第2のDCOは前記収集位同期ループの出力をもたらしてなる、

前記収集PLLに選択的に接続可能な出力PLLをもたらす段階と、前記出力PLLは第1及び第2のDCOを備えてなる、

前記出力PLLの前記第1及び第2のDCOを用いて前記収集PLLの前記出力をトラッキングする段階と、前記出力PLLの前記第1のDCOは回復したクロック信号をもたらすと共に、前記出力PLLの前記第2のDCOは前記出力PLLのフィードバック・ループにある、別の基準入力への切換えの際に、前記収集PLLの前記

第2のDCO及び前記出力PLLの位相を共通の値に設定する段階と、  
を具備したことを特徴とする前記方法。

【請求項13】 請求項12記載の方法において、前記収集位相同期ループのジッタはタップ付き遅延線を用いて低減されることを特徴とする前記方法。

【請求項14】 請求項12または請求項13記載の方法において、前記各DCOは該DCOによって発生される出力サイクルをカウントする拡張ビットを有することを特徴とする前記方法。

【請求項15】 請求項12から請求項14の何れかに記載の方法において、各前記PLLは位相比較器を備えると共に、該位相比較器の出力は前記第1及び第2のDCOに送信される前に積分されることを特徴とする前記方法。

【請求項16】 請求項15記載の方法において、サイクルスリップは前記位相比較器のアップ/ダウンカウンタを用いてカウントされることを特徴とする前記方法。

【請求項17】 請求項16記載の方法において、サイクルスリップ・カウンタの出力はデシメイトされることを特徴とする前記方法。

【請求項18】 請求項12から請求項17の何れかに記載の方法において、前記収集PLLは前記DCOの位相オフセットの制御も行う制御装置によって選択されることを特徴とする前記方法。

【請求項19】 請求項18記載の方法において、前記制御装置はマルチプレクサの選択入力を制御して、能動収集PLLを前記出力PLLに接続することを特徴とする前記方法。

【請求項20】 ジッタを受ける入力信号から安定したクロック信号を回復する収集デジタル位相同期ループであって、

前記入力信号を受信するデジタル入力回路と、

所望の周波数での出力及び各前記出力信号のタイムエラーを表わす制御信号を発生する第1及び第2のデジタル制御式発振器と、

複数の遅延手段を備えた複数のタップ付き遅延線であって、該複数のタップ付き遅延線の遅延量は前記デジタル制御式発振器のうちの1つのクロックサイクル未満である前記複数のタップ付き遅延線と、

前記入力回路からの前記少なくとも1つの入力信号、及び前記デジタル制御式発振器を制御するデジタル入力信号を発生する手段をもたす前記少なくとも複数のタップ付き遅延線からの前記出力信号を受信するデジタル位相比較器と、

を具備したことを特徴とする前記収集デジタル位相同期ループ。

【請求項21】 請求項20記載の収集デジタル位相同期ループにおいて、前記デジタル制御式発振器は加算型レート乗算器であり、そのうちの1つはオーバーフロー条

件、及び前記制御信号を発生する剰余項を達成したときに前記出力信号を発生すると共に、前記デジタル制御式発振器のうちの第2のものは設定可能な位相を有してなることを特徴とする前記収集デジタル位相同期ループ。

【請求項22】 安定した出力クロックを発生する出力デジタル位相同期ループであって、

収集PLLからの仮想的出力クロックを前記出力PLLからのフィードバック仮想クロックから減算するデジタル仮想位相比較器と、

10 前記位相比較器の出力を自身に加算する累算器を有する積分器と、

所望の周波数での出力及び該出力信号のタイムエラーを表わす制御信号を発生する第1及び第2のデジタル制御式発振器であって、前記第1のデジタル制御式発振器が複数のタップ付き遅延線に制御信号を送ると共に、前記第2のデジタル制御式発振器は前記位相比較器にフィードバック信号をもたすように設定可能である前記第1及び第2のデジタル制御式発振器と、

を具備したことを特徴とする前記出力デジタル位相同期ループ。

【請求項23】 請求項22記載の方法において、複数の遅延手段を備えた複数のタップ付き遅延線であって、該複数のタップ付き遅延線の遅延量は前記デジタル制御式発振器のうちの1つのクロックサイクル未満である前記複数のタップ付き遅延線を更に具備したことを特徴とする前記出力デジタル位相同期ループ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は一般にデジタルタイミング回路に関し、特に、ジッタを受ける入力信号の選択からクロック信号を回復することができるデジタル位相同期ループに関する。

【0002】

【従来の技術】デジタルネットワーク・アプリケーションにおいては、同期光学的ネットワーク(SONET: synchronous optical network) OC-N及びSTN-Nインターフェース回路、それにT1またはE1主要レートデジタル伝送リンクに対してタイミング基準をもたす要求がある。これらのタイミング信号はSTRATUM3E、3及びEクロック及びSONET最小クロック(SMC: SONE T Minimum Clock)に対する、BELLCORE GR-1244-CORE及びGR-253-CORE勧告等の関連する規格を満たさなければならない。これらの仕様は入力基準間の転送特性に厳重な要求を課し、特に、これらは入力基準間の切替えの結果、出力クロック上に発生し得る位相振動に関する制限を課する。

【0003】この種のタイミング信号をもたす方法は位相同期ループを使用することである。一般に、この位

相同期ループは入力基準信号を適切な因子によって分割されたループの出力と比較する位相検出器、高周波変動を除去するループフィルタ、及び位相検出器によって検出された位相差を除去するように周波数が制御される制御式発振器から構成される。

【0004】米国特許第5,602,884号は20MHzのクロックで刻時されるDCO及びタップ付き遅延線の組合わせを使用した位相同期ループを開示している。DCOはこのタップ付き遅延線を直接制御するので、ジッタのない精度をクロックサイクルの小部分に維持することができる。この小部分はタップ付き遅延線の各タップの遅延時間によって制限される。

【0005】前記米国特許に開示されるような出力クロックの位相振動を最小化する従来のアプローチは以下の通りである。即ち、能動入力基準に直接位相比較器を接続しないで、入力基準及び位相比較器の間に中間回路を接続する。この中間回路は発生した出力クロックと同期する比較的高速度のクロックによって刻時されるアップ／ダウンカウンタを含んでいる。このカウンタの出力は、引き続き位相比較器に入力される仮想基準を生成する。基準再配置を行うと直ちに、以下のシーケンスの事象が生じる。PLLはホールドオーバーモードに置かれる。出力クロック及び割り当てられた基準クロックの間の位相差は、高速クロックサイクルをカウントすることによって調整される。この値は引き続き仮想出力基準クロックを生成する際にカウンタから減算される。PLLからは引き続きホールドオーバーが取り出され、このPLLは新たに決定した仮想基準に合わされる。このようにして、基準クロックの間の位相オフセットを構築することができる。

【0006】

【発明が解決しようとする課題】このアプローチの基本的欠点は、構築される位相の分解能がカウンタに加えられる周波数に比例するということである。回路はまた、高速クロックの同期と等しいサイズまでの出力クロック上に位相偏差を依然として発生し得る。この位相偏差の最大サイズは、高速クロックの速度、位相構築されたカウンタのサイズ、従って回路の要求されるゲートの数及び電力消費を増大させることによって低減できるに過ぎない。

【0007】この発明の目的は、従来技術の前述した諸問題を緩和する基準切替え機構を有する位相同期ループを提供することにある。

【0008】

【課題を解決するための手段】従って、本発明は、複数の入力基準信号のうちの1つからクロック信号を回復するクロック回復回路において、各入力に対する収集位相同期ループ(PLL: phase locked loop)であって、各前記収集PLLは入力信号の位相をフィードバック信号と比較する位相比較器及び該位相比

較器からの入力を受信する第1及び第2のデジタル制御式発振器(DCO: digital controlled oscillator)を有し、前記収集PLLの前記第1のDCOはフィードバック・ループにあって前記位相比較器に入力を供給し、かつ前記収集PLLの前記第2のDCOは前記収集PLLの前記第1のDCOに関して位相オフセットを導く制御入力を有すると共に、前記収集PLLに対して出力をもたらしてなる前記収集PLLと、前記収集PLLの各々の出力に対して選択的に接続可能な位相比較器を有すると共に、前記回路に対して入力をもたらす第1のDCO及びフィードバック・ループにあって前記出力PLLの前記位相比較器に対してフィードバック信号をもたらす第2のDCOを有する出力PLLであって、該出力PLLの前記第2のDCOは前記出力PLLの前記第1のDCOに関して位相オフセットを導く制御入力を有してなる前記出力PLLと、一方の入力から別の入力への切替えの際に、前記収集回路の前記第2のDCO及び前記出力PLLの前記第2のDCOの位相を共通の値に設定して、基準信号の切替え時に瞬間的位相エラーを回避するようにした制御装置と、を具備したことを特徴とする前記クロック回復回路を提供する。

【0009】前記DCOは加算レート乗算器であり、そのうちの一方はオーバーフロー条件及びタイムエラー信号を発生する剰余を達成すると直ちに出力信号を発生すると共に、他方は設定可能な位相を有することが好ましい。

【0010】前記フィードバック・ループはタップ付き遅延線を備えてジッタを低減することが好ましい。

【0011】各PLLは2つのDCOを有しており、そのうちの一方のみが前記フィードバック・ループにあるので、入力信号の切替えの際に、前記設定可能なDCO間の位相エラーを除去することができると共に、入力が変わると直ちに生じる位相ジャンプを防止することができる。

【0012】本発明はまた、複数の入力基準信号のうちの1つからクロック信号を回復する方法において、各入力に対して収集位相同期ループ(PLL)をもたらす段階と、各前記収集PLLは第1及び第2のデジタル制御式発振器(DCO)を含んでなる、前記第1及び第2のDCOを用いて基準入力信号をトラッキングする段階と、前記第1のDCOは前記収集PLLのフィードバック・ループにあると共に、前記第2のDCOは前記収集位相同期ループの出力をもたらしてなる、前記収集PLLに選択的に接続可能な出力PLLをもたらす段階と、前記出力PLLは第1及び第2のDCOを備えてなる、前記出力PLLの前記第1及び第2のDCOを用いて前記収集PLLの前記出力をトラッキングする段階と、前記出力PLLの前記第1のDCOは回復したクロック信号をもたらすと共に、前記出力PLLの前記第2のDC

Oは前記出力PLLのフィードバック・ループにある、別の基準入力への切換えの際に、前記収集PLLの前記第2のDCO及び前記出力PLLの位相を共通の値に設定する段階と、を具備したことを特徴とする前記方法を提供する。

【0013】

【発明の実施の形態】図1に示す従来技術の位相同期ループは、2つの可能な入力基準クロック「pri」及び「sec」のうちの一方を選択するシステム多重化装置1、基準の切換えと同時に2つのクロック間の位相差を調整し構築するカウンタ2、基準信号を受信する位相検出器3、積分器4、所望の周波数での出力信号及びこの出力信号のタイムエラーを表わす制御信号を出力するデジタル制御式発振器5、このデジタル制御式発振器5の出力を受信するタップ付き遅延線6であって、前記制御信号によって決定されるタップから出力信号を生成する前記タップ付き遅延線、及び位相検出器3の第2の入力に対してフィードバック信号及び位相構築されたカウンタ2への同期高速クロックを発生する分周器回路7を備えている。積分器4の機能は、基準クロック中心周波数及び制御式発振器のフリーラン周波数における差に起因して生じることとなる位相変動を出力する入力を除去することである。位相検出器3はデジタル制御式発振器5が入力信号と同期して出力を発生することを保証する。

【0014】この種の従来技術の位相同期ループは入力基準クロック間の位相差を構築する手段を制限してきた。回路が保証することができる最小位相摂動は位相構築されたカウンタに加えられる高速クロックの周期である。

【0015】ここで図2を参照すると、この発明の原理に従う位相同期ループは入力基準のおののに取り付けられた複数の収集デジタル位相同期ループ10、選択された収集デジタル位相同期ループ10からのクロックの出力を含んだシステム多重化装置11、及びこのシステム多重化装置から入力される信号に同期する出力位相同期ループ12を備えている。この出力位相同期ループ12は回路の出力として安定したクロックを発生する。一般には、マイクロ制御装置である制御ブロック13は装置の動作を制御する。

【0016】20MHzの入力クロックは出力PLL12だけではなく収集PLL10の全てのデジタル制御式発振器(DCO)を駆動するマスタクロックとして使用される。発生された出力クロックは、複数デジタル遅延線の技術を用いた低減したジッタ位相同期ループ(Reduced Jitter Phase Locked Loop using a Technique Multi-stage Digital Delay Line)と題する2000年3月31日出願の同時係属英国特許出願第0013059、1号に述べられているようなDCOの位相剰余項を使用してタップ付き遅延線

によって低減されるジッタを有している。

【0017】図3は収集PLL10をより詳細に示している。位相比較器21は基準クロック及び収集PLL10の出力クロックの間のサイクルスリップをカウントするアップ/ダウンカウンタ22である。位相オフセットのより精度の高い計算は、デシメータ23を用いてサイクルスリップの出力を積分しデシメイトすることによって行われる。位相比較器の出力は累算器25を用いて積分される。位相比較器21の出力は加算器24の累算器25の出力に加えられる。次いで、加算器24の出力はそれぞれのDCO28に接続した加算器29の対において定数Paに加えられる。加算器29の出力は発生された出力クロックをスピードアップするかまたは(負数の場合)スローダウンする制御情報として作用する。

【0018】図5に示すように、キャッシュDCO28は所望の出力周波数を発生する加算レート乗算器を備えている。この場合、公称16.384MHzのクロックが合成される。入力ワード(DCOIN)は加算器40に送られレジスタ41で累算される。各DCO28は外部ピンからの20MHzのマスタ信号によって刻時される。入力ワードDCOinが加算器40の初期値に繰り返し加えられるにつれて、加算器は周期的にオーバーフローをし、得られた桁上げ信号はDCOの出力信号を構成する。オーバーフローが起こるときに剰余項があれば、この剰余項はレジスタ41に現れてDCOの桁上げ出力の位相エラーを表わす。この剰余項(剰余項)は複数段タップ付き遅延線を制御して低ジッタの出力クロックを発生するのに使用される。DCOはまた桁上げ出力以上に拡張されている。桁上げは各桁上げについて1つだけカウントアップするカウンタを使用可能にする。これらのエキストラビットは発生された公称16.384MHzの出力クロックの各サイクルを有効にカウントする。これらの余分な項は発生された12.352MHzの出力クロック等の関連したクロックの合成にて使用される。

【0019】DCOのマスタ周波数の桁上げの仮想周波数はマスタクロック $\times P/Q$ (Pは加算器29にて加えられる定数で、QはDCOレジスタ41の容量である)。この例では、マスタクロックは20MHzである。

【0020】1つのDCO28-DCO1は、タップ付き遅延線27及び分周器26を通して位相比較器21にフィードバックする出力クロックを合成するのに使用される。システムは入力クロックに対する位相にこのDCOの仮想出力クロックを合わせようと永久に努める。

【0021】第2のDCO28-DCO2はその累算した値、即ち、剰余項プラス桁上げプラスサイクル拡張ビットは、制御装置13によって設定可能である点を除いて第1のDCOと同一である。第2のDCOがDCO容量、マスタクロック周波数(20MHz)及び加算した

定数Pによって決定される第1のDCOと同一の非安定周波数を持つと共に、第2のDCOが第1のDCOと同一のエラー項を加算するので、第2のDCOは第1のDCOと周波数及び周波数シフトが同一である仮想の16.384MHzのクロックを生成する。第2のDCOが設定可能であるという事実は、発生された16.384MHzのクロック間の差のみが、2つのクロック間に任意の静的位相オフセットが存在するかもしれないということの意味している。このことは、連続的に位相を入力基準クロック、及び位相を任意に設定し得る合成されたクロックに合わせる発生されたクロックが要求されるということから重要である。

【0022】図4は出力PLLを一層詳細に示している。この出力PLLは主に位相比較器30、積分器31、出力クロックを発生するのに使用されるDCO-DCO134、及び20MHzのマスタクロックによって刻時されるデジタル化形式で仮想の16.384MHzのクロックを発生するDCO-DCO233から構成される。収集PLLの場合におけるように、DCO2-DCO1及びDCO2の双方は入力として同一のエラー情報を有している。DCO2は制御ユニットによる制御の下に設定可能である。位相比較器30は、残余項プラス桁上げプラス出力PLLのDCO3のサイクル拡張ビットを残余項プラス桁上げプラス収集PLLのDCO2のサイクル拡張ビットから減算する減算器である。積分器31は位相比較器からの結果を自身に加算して、出力PLLの中央周波数を収集PLLの獲得した中央周波数に効果的にトレインアップ(train up)する累算器である。

【0023】DCO134はタップ付き遅延回路35及び分周器36に出力信号をもたらして、ジッタを低減すると共に回路に対して出力をもたらす。

【0024】通常の動作では、全ての収集PLLはそれぞれの入力基準クロックにトレインアップする。出力PLL12は収集PLL10に取り付けられている。この出力PLLは収集PLLの出力にロックすると共に、安定した出力クロックを発生する。出力PLLは自身を調整し、その結果、出力PLLのDCO2における各項は収集DCO2のDCO2からくる各値と一致する傾向となる。

【0025】基準再配置(即ち、新しい収集PLLを出力PLLに取り付けることと等しい新しい入力基準クロックの選択)が行われると直ちに、出力PLLのDCO2における値は引き続いて新しく取り付けられた収集PLLのDCO2からくる各値と一致する傾向となる。これらの値は前の収集PLLのDCO2から来る各値を用いて未修正であるので、第1及び第2の収集PLL間の信号の簡単な交換によって、任意の位相オフセットは出力D

CO2及び収集DCO2間に導かれることとなる。このオフセットは位相比較器からのエラー項として現れ、出力PLLは収集PLLのDCO2及び出力PLLのDCO2間の差に含まれる最初の位相オフセットと等しい出力クロック上の位相偏差を導くその位相エラーに順応することとなる。本願において、値はDCO2の設定可能なレプリカを有する用意にある。基準再配置を行うと直ちに収集PLLのDCO2及び出力PLLのDCO2の双方は共通の値に設定される。収集PLLは混乱されることはない。何故ならば、そのDCO2はフィードバック・ループにはないからである。基準再配置後に直ちに生じる瞬時の位相エラーは、DCO2acq-DCO2outが零と等しいので零となる。

【0026】以上、この発明を好ましい実施例を参照して説明したが、この説明は限定的意味合いに解釈されるものではない。開示した実施例の種々の変形はこの発明の説明を参照すると直ちに当業者には明瞭となろう。従って、特許請求の範囲はこの発明の真の範囲にある如何なるこの種の変形または他の実施例をも包含することが考えられる。

【図面の簡単な説明】

【図1】従来技術の位相同期ループのブロック図である。

【図2】この発明の一実施例による位相同期ループの全体のアーキテクチャのブロック図である。

【図3】収集位相同期ループのブロック図である。

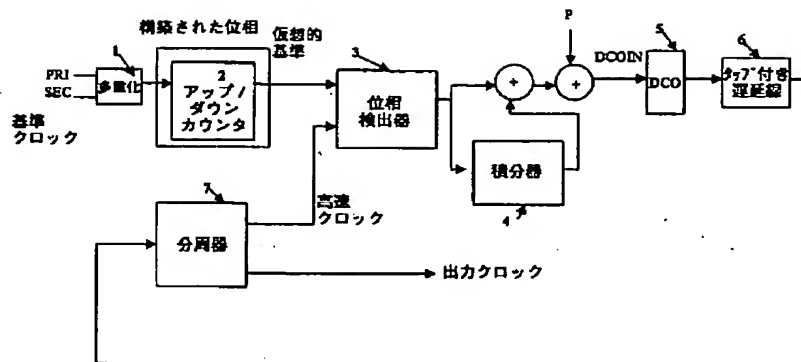
【図4】出力位相同期ループのブロック図である。

【図5】発明の回路に用いられるデジタル制御式発振器のより詳細な図である。

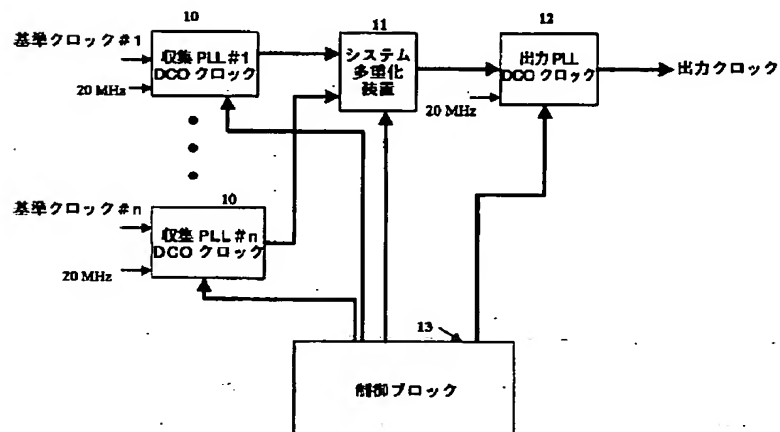
【符号の説明】

- 10 収集PLL
- 11 システム多重化装置
- 12 出力PLL
- 13 制御ブロック
- 21、30 位相比較器
- 22 アップ/ダウンカウンタ
- 23 デシメータ
- 24、29、32、40 加算器
- 25 累算器
- 26、36 分周器
- 27、35 タップ付き遅延線
- 28 DCO
- 31 積分器
- 33 DCO-DCO2
- 34 DCO-DCO1
- 40 加算器
- 41 レジスタ

【図1】



【図2】



【図3】

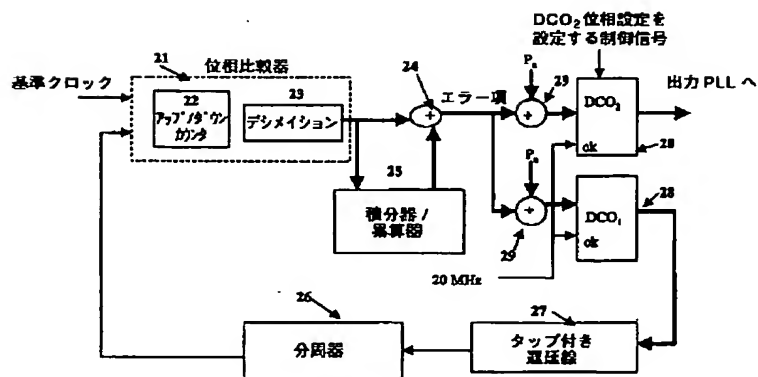


Figure 1 is a block diagram of the first embodiment of the system. It includes a central 'レジスタ' (Register) block. Above it is an '加算器' (Adder) block. To the right is a 'クロック 桁上げ' (Clock Carry) block. Below the register is a 'クロック' (Clock) block. The 'レジスタ' block has a 'ロード' (Load) input and a '20 MHz' input. The '加算器' block has a 'DCOIN' input and a '40' input. The 'クロック 桁上げ' block has a 'ロード' (Load) input and a '20 MHz' input. The 'クロック' block has a 'ロード' (Load) input and a '20 MHz' input. The 'レジスタ' block outputs '残余项' (Remainder) and 'クロックされた 桁上げ' (Carry with clock). The 'クロック 桁上げ' block outputs 'サイクルカウンタ' (Cycle Counter). The 'クロック' block outputs 'サイクル拡張ビット' (Cycle Extension Bit).